

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-078147
 (43)Date of publication of application : 14.03.2003

(51)Int.Cl. H01L 29/82
 H01L 21/316
 H01L 27/105
 H01L 43/08

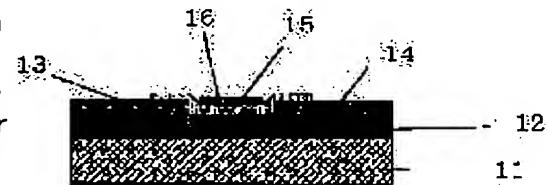
(21)Application number : 2001-265073 (71)Applicant : CANON INC
 (22)Date of filing : 31.08.2001 (72)Inventor : FUJIWARA RYOJI
 WADA TAKATSUGI
 TERAMOTO YOJI

(54) CHARGE INJECTION SPIN TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a charge injection spin transistor which induces a charge alignment phase transition by other braking except a magnetic field and which uses the transition for a memory device.

SOLUTION: The charge injection spin transistor comprises a perovskite Mn oxide layer 12 having a source electrode 13, a drain electrode 14, and further a structure having a gate electrode 16 on the layer 12 via an insulating layer 15 to induce the charge alignment phase transition. In this transistor, a voltage is applied to the gate electrode 16 to control a carrier (hole) density in the layer 12. Thus, the transition is induced by other braking except the magnetic field, and this can be used for the memory device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The charge impregnation mold spin transistor characterized by having an oxide layer with the charge alignment phase transition effectiveness established on the base, and the oxide layer which pours into a list the charge from a source electrode, a drain electrode, and this gate electrode formed in gate inter-electrode, and being constituted.

[Claim 2] The oxide layer which has the charge alignment phase transition effectiveness in a charge impregnation mold spin transistor according to claim 1 is a charge impregnation mold spin transistor characterized by being Mn system perovskite oxide which uses MnO₃ as a parent.

[Claim 3] Setting to a charge impregnation mold spin transistor according to claim 2, said Mn system perovskite oxide is a charge impregnation mold spin transistor according to claim 1 characterized by being PrCaMnO₃ which added calcium with the becoming structure Pr_{1-x}CaxMnO₃.

[Claim 4] Setting to a charge impregnation mold spin transistor according to claim 2, said Mn system perovskite oxide is a charge impregnation mold spin transistor according to claim 1 characterized by being NdSrMnO₃ which added Sr with the becoming structure Nd_{1-x}SrxMnO₃.

[Claim 5] It is the charge impregnation mold spin transistor according to claim 1 characterized by said base being a SrTiO₃ single-crystal object in a charge impregnation mold spin transistor given in any [claim 1 thru/or] of 4 they are.

[Claim 6] The charge impregnation mold spin transistor according to claim 1 characterized by said base being silicon which has thermal oxidation silicon on a front face in a charge impregnation mold spin transistor given in any [claim 1 thru/or] of 4 they are.

[Claim 7] It is the charge impregnation mold spin transistor of description claim 1 publication about said base being a MgO single crystal object in a charge impregnation mold spin transistor given in any [claim 1 thru/or] of 4 they are.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the charge impregnation mold spin transistor using the charge alignment phase transition by which induction is especially carried out to a bulk memory or a sensor with a current or a charge about the charge impregnation mold spin transistor using an available magneto-resistive effect.

[0002]

[Description of the Prior Art] Conventionally, a charge impregnation mold spin transistor is applied to memory. Considering the trend of the memory of these days, it can be said that development development of the ferroelectric capacitor memory (FRAM (trademark)) using a ferroelectric is concentrated on. In the field of memory application of the latest ferroelectric, the electric field effect mold memory device (FE-FET) attracts attention, and it can be said to be ultimate memory if it operates as expected.

[0003] On the other hand, magnetic memory is also continuing densification with development of an information society every year, and it is changing in current by the rate of increase of the field recording density of an annual rate of 60%. It is thought in the near future that the magnetic memory of surface density storage of 15 - 30 MBit/m² (10 - 20 GBit/in²) class appears. If it turns to the application to such high density storage, the big modulation of a reluctance (MR ratio) is important. Although the current MR ratio (Magneto-Resistive) head was used when the head was taken for the example, recently, a spin bulb GMR head with more high sensibility began to be used. As a value of MR ratio, it is about 7% by the spin bulb film 2% in MR film. Furthermore, the attempt of the application of the above-mentioned magneto-resistive effect to magnetic random access memory (MRAM) is also being started in a tentative way.

[0004] As a phenomenon in which the above-mentioned large MR ratio can be taken, abbreviate to giant magneto-resistance [GMR of the magnetic multilayers which make a Fe/Cr metal artificial grid representation. For example M, N, Baibich, and J.M.Broto, A. Fert, Nguyen Van Dau, F, Petroff, P.Etienne, G.Creuzet, A.Friederich and J.Chazel as:Phvs.Rev.Lett., 61 (1988), and 2472], Research of the magneto-resistive effect [T.Miyazaki and N.Tezuka:J.Magn.Magn Mater.139(1995) L231 abbreviated to TMR] in a ferromagnetic tunnel junction etc. is also done briskly. The greatest saturation magnetic-reluctance change reported by these reference etc. is 25% or less of order.

[0005] furthermore, the phenomenon which shows a big magnetic-reluctance change -- super-giant magneto-resistance (Colossal Magneto-Resistance effect:CMR) [-- A. -- Asamitsu, Y.Morimoto, Y.Tomioka, and T.Arimuraand Y.Tokura : Nature and 373 (1995) 407] attract attention recently.

[0006] The above-mentioned effectiveness points out the huge negative MR effectiveness observed in perovskite mold Mn oxide R_{1-x}A_xMnO₃ (R is + trivalent rare earth ion, such as La, Pr, and Nd, and A is + divalent ion, such as calcium, Sr, Ba, and Pb) rediscovered within the past several years, and the magnetic field induction insulator-metal transfer (field-induced insulator-metal transition) which can be further said also as the extreme of the MR effectiveness. When one of the remarkable descriptions in this system carries out the partial (x) permutation of the R³⁺ ion with A²⁺ ion and carry doping is performed, it is a lifting and that a ferromagnetic metal phase appears below in Curie-temperature T_c further about an insulator-metal transfer.

[0007] The 2nd description of this system is that two parameters called the transfer integral (transfer interaction) t of a carrier, i.e., carrier consistency x and 1 electronic bandwidth W, are considerably controllable by the combination of various (R³⁺, A²⁺) to a precision. For example, if La_{1-x}S_xMnO₃ (x= 0.175) is taken for an

example as a CMR ingredient and MR ratio will take 90% (ratio of H= 0 and H= 15 Stera), and $Pr_{1-x}Ca_xMnO_3$ ($x= 0.3$) for an example in $T=283K$, in $T=20K$, MR ratio will become 1011 (H= 0 and H= 6-tesla ratio) thing magnitude.

[0008] Moreover, there is JP,10-255481,A as other conventional examples to which this invention and a technical field are similar. This conventional example tends to apply the charge alignment phase transition by which induction is carried out to memory by impressing an electrical potential difference to the perovskite mold Mn oxide ($Pr_{0.7}Ca_{0.3}MnO_3$) of bulk.

[0009]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional technique, to obtain big MR ratio in a perovskite mold Mn oxide, it is necessary to impress a big external magnetic field. Moreover, at above-mentioned conventional JP,10-255481,A, the function as a memory device is accompanied by the problem which has not been achieved only by realizing a high resistance condition and a low resistance condition.

[0010] This invention aims at offering the charge impregnation mold spin transistor which was made to carry out induction of the charge alignment phase transition, and used this for the memory device by other braking of those other than a magnetic field. More, this invention prepares the source and a drain electrode in a perovskite mold Mn oxide layer, it has a gate electrode through an insulating layer on a perovskite mold Mn oxide layer in order to carry out induction of the above-mentioned charge alignment phase transition further, and it aims at offering the charge impregnation mold spin transistor which controls the carrier (hole) consistency in a perovskite mold Mn oxide layer in a detail by impressing an electrical potential difference to a gate electrode.

[0011]

[Means for Solving the Problem] In order to attain this purpose, the charge impregnation mold spin transistor of invention according to claim 1 is characterized by having the oxide layer which pours in a charge in an oxide layer with the charge alignment phase transition effectiveness established on the base, and a list, and a source electrode, a drain electrode, a source electrode and a drain electrode; and this gate electrode formed in gate inter-electrode being consisted of.

[0012] The oxide layer which has the charge alignment phase transition effectiveness in a charge impregnation mold spin transistor according to claim 1 in invention according to claim 2 is good in it being Mn system perovskite oxide which uses MnO_3 as a parent.

[0013] Supposing Mn system perovskite oxide is $PrCaMnO_3$ which added calcium with the becoming structure $Pr_{1-x}Ca_xMnO_3$, it is [in / by invention according to claim 3 / a charge impregnation mold spin transistor according to claim 2] good.

[0014] Supposing said Mn system perovskite oxide is $NdSrMnO_3$ which added Sr with the becoming structure $Nd_{1-x}Sr_xMnO_3$, it is [in / by invention according to claim 4 / a charge impregnation mold spin transistor according to claim 1] good.

[0015] In a charge impregnation mold spin transistor given in any [claim 1 thru/or] of 4 they are in invention according to claim 5, supposing said base is a $SrTiO_3$ single-crystal object, it is good.

[0016] It is good supposing said base is silicon which has thermal oxidation silicon on a front face in invention according to claim 6 in a charge impregnation mold spin transistor given in any [claim 1 thru/or] of 4 they are.

[0017] It is good supposing said base is a MgO single crystal object in invention according to claim 7 in a charge impregnation mold spin transistor given in any [claim 1 thru/or] of 4 they are.

[0018]

[Embodiment of the Invention] Next, with reference to an accompanying drawing, the gestalt of operation of the charge impregnation mold spin transistor by this invention is explained to a detail. Reference of drawing 1 - drawing 7 shows 1 operation gestalt of the charge impregnation mold spin transistor of this invention.

[0019] Drawing 1 is the mimetic diagram showing the basic configuration of the charge impregnation mold spin transistor which can apply this invention. In this drawing 1 $R > 1$, the charge impregnation mold spin transistor of this operation gestalt has a base 11, the perovskite mold Mn oxide layer 12, the source electrode 13, the drain electrode 14, an insulating layer 15, and the gate electrode 16, and is constituted.

[0020] A base 11 is constituted using the matter with the lattice constant near the lattice constant of the perovskite mold Mn oxide layer 12 which carries out a laminating. An insulating layer 15 is a layer for taking the insulation between the above-mentioned gate electrode 16 and the perovskite mold Mn oxide layer 12. The

gate electrode 16 is an electrode for pouring in a charge in order to carry out induction of the charge alignment phase transition of the above-mentioned perovskite mold Mn oxide layer 12.

[0021] Next, actuation of the spin transistor of this invention is explained based on drawing 2. Drawing 2 is drawing which expressed the condition at the time of elimination typically at the time of memory at the time of the writing of the charge impregnation mold spin transistor of this invention. In addition, each configuration section in drawing 2 is the insulating layer 25 for taking the insulation between the gate electrodes 26, the above-mentioned gate electrodes 26, and the perovskite mold Mn oxide layers 22 which pour in a charge in order to carry out induction of the charge alignment phase transition of the part 221 and the source electrode 23 with which impregnation and drawing are performed to the perovskite mold Mn oxide layer 22 and the above-mentioned perovskite mold Mn oxide layer in a charge, and phase transition happens, the drain electrode 24, and the above-mentioned perovskite mold Mn oxide layer 22.

[0022] Moreover, drawing 3 shows the conductivity between the source-drains corresponding to each condition in drawing 2. In drawing 3, where electronegative potential is impressed to a gate electrode, it is equivalent to drawing 2 (a), and the part 221 of drawing 2 carries out layer transition, and is in the low resistance condition at the ferromagnetic metal layer, and Sign a expresses the condition that writing is performed. Drawing 2 (b) is in the condition which impressed polar potential contrary to the case of Sign a to the gate electrode, and in drawing 3, it is equivalent to Sign b, and the part 221 of drawing 2 carries out layer transition, and is in the high resistance condition at the paramagnetism insulator layer, and it expresses the condition that elimination is performed. Drawing 2 (c) is in the condition in the middle of having decreased potential from the gate potential of Sign a to the gate potential of Sign b in drawing 3, and expresses the condition of it being equivalent to the sign c of drawing 3, and holding the low resistance condition. drawing 2 (d) -- drawing 3 -- it is in the condition in the middle of making potential increase from the gate potential of the sign b to kick to the gate potential of Sign a, and it is equivalent to the sign d in drawing 3, and the condition of holding the high resistance resistance condition is expressed. By passing through the condition from the sign a explained above to Sign d, the resistance between source-drains (conductivity) will draw a hysteresis and can realize a memory device so that clearly from drawing 3.

[0023]

[Example] The example of the charge impregnation mold spin transistor of this invention is shown below, and this invention is explained to it in detail.

[0024] (Example 1) The mimetic diagram of one operation gestalt in the charge impregnation mold spin transistor of this invention is shown in drawing 4. In drawing 4 the charge impregnation mold spin transistor of this operation gestalt With a strontium titanate (it is written as SrTiO₃:STO) single crystal substrate By base 41Pr_{1-x}CaxMnO₃ constituted The insulating layer 45 which is SiO₂ for taking the insulation between the perovskite mold Mn oxide layer 42 constituted, the source electrode 43 which is a Pt electrode, the drain electrode 44 which is a Pt electrode, the above-mentioned gate electrode 46, and the perovskite mold Mn oxide layer 42, In order to carry out induction of the charge alignment phase transition of the above-mentioned perovskite mold Mn oxide layer 42, it has the gate electrode 46 which is a Pt electrode for pouring in a charge, and is constituted.

[0025] Next, the production approach of the charge impregnation mold spin transistor of this invention is explained using drawing 5.

[0026] Process (1); this is enough washed using the STO single crystal substrate described above as a base 51. Process (2); on this substrate 51, the spin coat of the Pr-calcium-Mn sol solution is carried out, and the Pr-calcium-Mn gel film is formed. Next, after calcinating at 250 degrees C among atmospheric air for 30 minutes and performing deorganic and dehydration, it calcinates at 1000 degrees C among atmospheric air for 3 hours, and 700A of Pr_{1-x}CaxMnO₃ thin films is formed.

Process (3); Actuation of a process (2) is repeated 3 times and about 2000A of Pr_{1-x}CaxMnO₃ thin films 52 is formed.

Process (4); 1000A and the platinum drain electrode 54 are produced for the platinum source electrode 53 by the 1000A SUPPATA method on the above-mentioned Pr_{1-x}CaxMnO₃ thin film. In addition, in order to raise the adhesion over this Pr_{1-x}CaxMnO₃ thin film of each platinum electrode, the spatter of the 50A of Ti is beforehand carried out as a substrate of platinum.

Process (5); a reactant sputtering technique is used between the platinum source electrode 53 whose Pr₁₋

x CaxMnO₃ above-mentioned thin film is pinched, and the platinum drain electrode 54, and 1000A spatter of SiO₂ is carried out as an insulating layer.

Process (6); finally 1000A spatter membrane formation of the platinum is carried out as a gate electrode on the above-mentioned insulating layer, and a device is completed.

[0027] In addition, the preparation of the sol gel solution used for the above-mentioned process (2) is explained based on drawing 6.

[0028] First, Mn carboxylate is chosen for Pr alkoxide and calcium alkoxide to Mn again to Pr and calcium, respectively. A result with a methoxide, ethoxide, isopropoxide, n-propoxide, n-butoxide, sec-butoxide, and tert-butoxide it is desirable and good [an alkoxide] is given here. Weighing capacity is carried out so that the presentation ratio of a request of these metal raw materials may be obtained.

[0029] Next, although the aforementioned metal raw material is dissolved into an organic solvent, alcohol, alkoxide alcohol, etc. can be used as this organic solvent. As for alcohol, a methanol, ethanol, isopropanol (IPA and brief sketch), n-propanol, n-butanol, a sec-butanol, a tert-butanol, and alkoxide alcohol give a result with good 2-methoxyethanol, 2-ethoxyethanol, 2-propoxy ethanol, 2-butoxyethanol, and 1-methoxy-2-propanol preferably. Moreover, a result also with good toluene and xylene is given.

[0030] Specifically, the following procedures adjust a sol gel solution. First, use as a solution 1 the solution made to dissolve Pr alkoxide and calcium alkoxide in alcohol, alkoxy alcohol, or its both (IPA is made into the example in drawing 6), and let the solution made to dissolve Mn carboxylate in alcohol, alkoxy alcohol, or its both be a solution 2. Next, the solution which mixed the solution 1 and the solution 2 is flowed back at 80-130 degrees C, and a Pr-calcium-Mn sol gel solution is obtained.

[0031] Thus, when the relation between the gate electrode voltage of the obtained spin transistor and the resistivity between sow sault drains was measured, it became like drawing 7 and the property as a transistor was checked.

[0032] (Example 2) Using the laser ablation method instead of the sol gel process in the process (2) of drawing 5 of an example 1, and the process (3), others produced the spin transistor of this invention at the same process as an example 1.

[0033] The conditions of laser ablation of having used for this example 2 are shown in Table 1. In addition, the target was produced as follows. Namely, the atomic ratio of Pr:calcium:Mn carried out weighing capacity of each powder of Pr 60O₁₁, and CaCO₃ and Mn 3O₄ at a rate set to 0.7:0.3:1, ethanol was added to this, and it stirred with the agate mortar for 40 minutes. And after calcinating said mixture for 24 hours and grinding it at 1000 degrees C in atmospheric air, it mixed again and it has further already been calcinated whenever [-], and grinding mixing was carried out. It pressed by 1 ton/cm², and in atmospheric air, the obtained powder mixture was heated for 48 hours, was calcinated at 1100 degrees C, and the target was produced.

[0034]

[Table 1]

基板温度	780°C
酸素分圧	400mTorr
ターゲット上でのレーザエネルギー密度	2 J/cm ²
基板間距離	8cm
堆積速度	0. 25Å/pulse
レーザのパルス周期	8Hz
レーザ波長	248nm
パルスあたりの最大エネルギー	1. 5 J
パルス幅	20ns
膜厚	2000Å

Thus, when the relation between the gate electrode voltage of the obtained spin transistor and the resistivity between source-drains was measured, the same property as an example 1 was acquired.

[0035] (Example 3) In this example 3, when Nd0.5Sr0.5MnO₃ thin film was used instead of Pr_{1-x}CaxMnO₃ thin film of an example 1, in temperature 50K, the same hysteresis as an example 1 was acquired.

[0036] In addition, an above-mentioned operation gestalt is an example of suitable operation of this invention. However, deformation implementation is variously possible within limits which do not deviate not from the thing limited to this but from the summary of this invention.

[0037]

[Effect of the Invention] As explained above, in order to prepare the source and a drain electrode in a perovskite mold Mn oxide layer and to carry out induction of the above-mentioned charge alignment phase transition further, on the above-mentioned perovskite mold Mn oxide layer, through the insulating layer, it has a gate electrode and, according to this invention, structure implementation is carried out. By this, induction of the charge alignment phase transition is carried out by other braking of those other than a magnetic field, and it becomes possible to use this for a memory device.

[Translation done.]

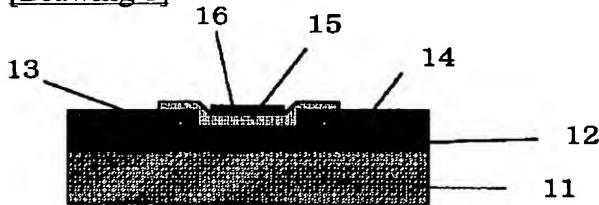
* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

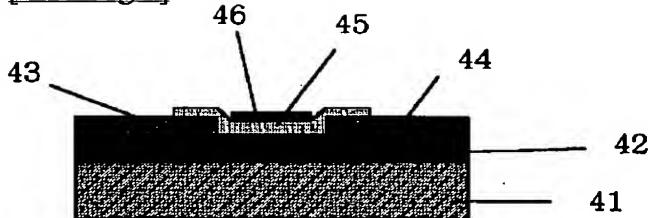
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

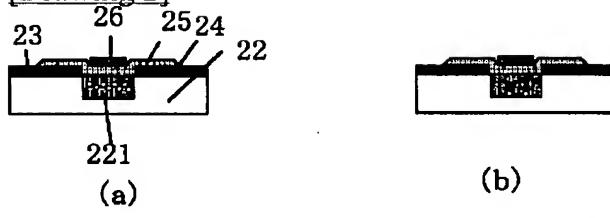
[Drawing 1]



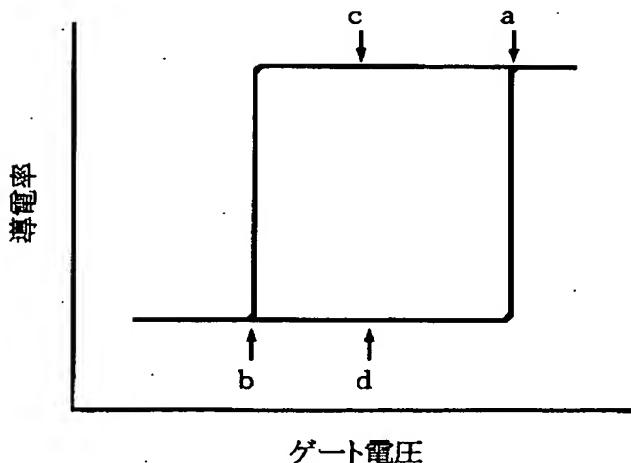
[Drawing 4]



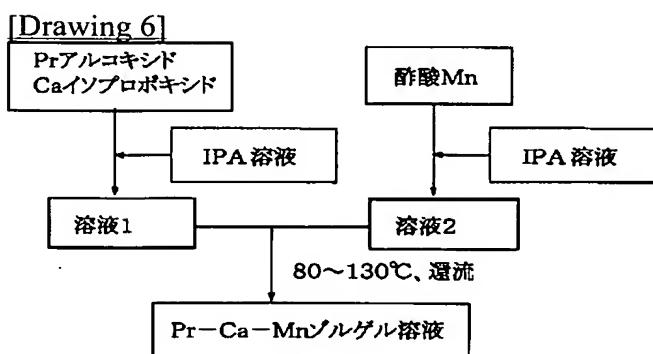
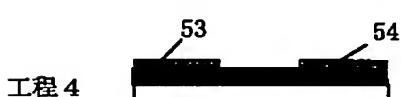
[Drawing 2]



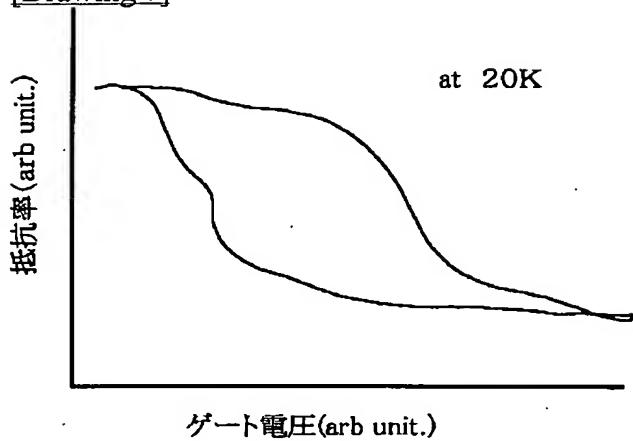
[Drawing 3]



[Drawing 5]
工程 1 51



[Drawing 7]



[Translation done.]

CHARGE INJECTION SPIN TRANSISTOR

Patent Number: JP2003078147
Publication date: 2003-03-14
Inventor(s): FUJIWARA RYOJI; WADA TAKATSUGI; TERAMOTO YOJI
Applicant(s): CANON INC
Requested Patent: JP2003078147
Application Number: JP20010265073 20010831
Priority Number(s):
IPC Classification: H01L29/82; H01L21/316; H01L27/105; H01L43/08
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a charge injection spin transistor which induces a charge alignment phase transition by other braking except a magnetic field and which uses the transition for a memory device.

SOLUTION: The charge injection spin transistor comprises a perovskite Mn oxide layer 12 having a source electrode 13, a drain electrode 14, and further a structure having a gate electrode 16 on the layer 12 via an insulating layer 15 to induce the charge alignment phase transition. In this transistor, a voltage is applied to the gate electrode 16 to control a carrier (hole) density in the layer 12. Thus, the transition is induced by other braking except the magnetic field, and this can be used for the memory device.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-78147

(P2003-78147A)

(43)公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl.⁷

H 01 L 29/82
21/316
27/105
43/08

識別記号

F I

テマコード(参考)

H 01 L 29/82
21/316
43/08
27/10

T 5 F 0 5 8
G 5 F 0 8 3
Z
4 4 7

審査請求 未請求 請求項の数7 OL (全7頁)

(21)出願番号 特願2001-265073(P2001-265073)

(22)出願日 平成13年8月31日 (2001.8.31)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 藤原 良治

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 和田 隆亞

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74)代理人 100088096

弁理士 福森 久夫

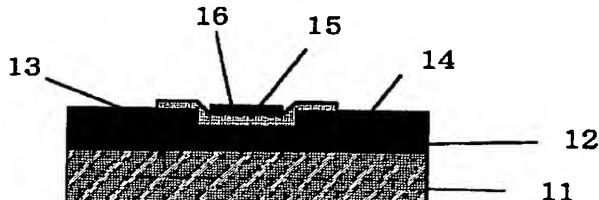
最終頁に続く

(54)【発明の名称】電荷注入型スピントランジスタ

(57)【要約】

【課題】 磁場以外の他の制動によって電荷整列相転移を誘起させ、これをメモリデバイスに用いた電荷注入型スピントランジスタを得る。

【解決手段】 ペロブスカイト型Mn酸化物層12にソース電極13、ドレイン電極14を設け、さらに上記電荷整列相転移を誘起させるために上記ペロブスカイト型Mn酸化物層12上に絶縁層15を介してゲート電極16を有する構造とする。このゲート電極16に電圧を印加することによりペロブスカイト型Mn酸化物層12内のキャリア(ホール)密度を制御する。このことで、磁場以外の他の制動によって電荷整列相転移を誘起させ、これをメモリデバイスに用いることを可能とする。



【特許請求の範囲】

【請求項1】 基体上に設けられた電荷整列相転移効果を持つ酸化物層、並びにソース電極、ドレイン電極と、ゲート電極間に形成された該ゲート電極からの電荷を注入する酸化物層とを有して構成されたことを特徴とする電荷注入型スピントランジスタ。

【請求項2】 請求項1記載の電荷注入型スピントランジスタにおいて電荷整列相転移効果を持つ酸化物層は、 MnO_3 を母体とする Mn 系ペロブスカイト酸化物であることを特徴とする電荷注入型スピントランジスタ。

【請求項3】 請求項2記載の電荷注入型スピントランジスタにおいて、前記 Mn 系ペロブスカイト酸化物は、 $Pr_{1-x}Ca_xMnO_3$ なる構造を有した Ca を添加した $PrCaMnO_3$ であることを特徴とする請求項1に記載の電荷注入型スピントランジスタ。

【請求項4】 請求項2記載の電荷注入型スピントランジスタにおいて、前記 Mn 系ペロブスカイト酸化物は、 $Nd_{1-x}Sr_xMnO_3$ なる構造を有した Sr を添加した $NdSrMnO_3$ であることを特徴とする請求項1に記載の電荷注入型スピントランジスタ。

【請求項5】 請求項1乃至4の何れかに記載の電荷注入型スピントランジスタにおいて、前記基体は $SrTiO_3$ 単結晶であることを特徴とする請求項1記載の電荷注入型スピントランジスタ。

【請求項6】 請求項1乃至4の何れかに記載の電荷注入型スピントランジスタにおいて、前記基体が表面に熱酸化シリコンを有するシリコンであることを特徴とする請求項1記載の電荷注入型スピントランジスタ。

【請求項7】 請求項1乃至4の何れかに記載の電荷注入型スピントランジスタにおいて、前記基体が MgO 単結晶であることを特徴とする請求項1記載の電荷注入型スピントランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大容量メモリやセンサーに利用可能な磁気抵抗効果を用いた電荷注入型スピントランジスタに関し、特に、電流あるいは電荷によって誘起される電荷整列相転移を用いた電荷注入型スピントランジスタに関する。

【0002】

【従来の技術】従来、電荷注入型スピントランジスタは、例えば、メモリに適用される。昨今のメモリの動向を考えると、強誘電体を用いた強誘電体キャバシターメモリ(FRAM(登録商標))の開発発展に注力していると言えよう。最近の強誘電体のメモリ応用の分野においては電界効果型メモリ素子(FET-FET)が注目されており、期待通りに動作すれば究極のメモリと言える。

【0003】一方磁気メモリも、情報化社会の発展に伴い年々高密度化を続けており、現在では年率60%の面

記憶密度の増加率で推移している。近い将来には15~30MBit/m²(10~20GBit/in²)クラスの面密度記憶の磁気メモリが出現するものと考えられる。このような高密度記憶への応用に向けては、磁気抵抗率(MR比)の大きな変調が重要である。ヘッドを例にとると現在MR比(Magneto-Resistive)ヘッドが使われているが、最近ではより感度の高いスピナルブGMRヘッドが使われ始めた。MR比の値としては、MR膜で2%、スピナルブ膜で7%程度である。更に、上記磁気抵抗効果を磁気ランダム・アクセス・メモリ(MRAM)への応用の試みも試験的に開始されつつある。

【0004】上記のMR比が大きくとれる現象として、Fe/Cr金属人工格子を代表とする磁性多層膜の巨大磁気抵抗効果[GMRと略す、例えば、M.N. Baibich, J.M. Broto, A. Fert, Nguyen Van Dau, F. Petroff, P. Etienne, G. Creuzet, A. Friederich and J. Chazelas: Phys. Rev. Lett., 61(1988), 2472]や、強磁性トンネル接合での磁気抵抗効果[TMRと略す、例えば、T. Miyazaki and N. Tezuka: J. Magn. Magn. Mater. 139(1995) L231]等の研究も盛んに行われている。これらの文献等で報告された最大の飽和磁気抵抗変化は、25%以下のオーダーである。

【0005】更に大きな磁気抵抗変化を示す現象に、超巨大磁気抵抗効果(Colossal Magneto-Resistance effect: CMR) [A. Asamitsu, Y. Morimoto, Y. Tomioka, T. Arima and Y. Tokura: Nature, 373(1995) 407]が最近注目されている。

【0006】上記の効果とは、ここ数年のうちに再発見されたペロブスカイト型 Mn 酸化物 $R_{1-x}A_xMnO_3$ (RはLa, Pr, Ndなどの+3価の希土類イオン、AはCa, Sr, Ba, Pbなどの+2価のイオン)において観察される巨大な負のMR効果、さらにはMR効果の究極ともいえる磁場誘起絶縁体-金属転移(field-induced insulator-metal transition)を指す。この系における著しい特徴の一つは、 R^{3+} イオンを A^{2+} イオンで一部(x)置換しキャリドーピングを行うと絶縁体-金属転移を起こし、さらに強磁性金属相がキュリー温度Tc以下で出現することである。

【0007】この系の第2の特徴は、種々の(R^{3+} 、 A^{2+})の組み合わせによって、キャリアー密度xとキャリアーのトランസファー積分(伝達相互作用)t、即ち、1電子バンド幅Wという2つのパラメータをかなり精密に制御できることである。例えば、CMR材料として $La_{1-x}Sr_xMnO_3$ (x=0.175)を例にとると、T=283KではMR比が90%(H=0とH=15テスラの比)、また、 $Pr_{1-x}Ca_xMnO_3$ (x=0.3)を例にとると、T=20KではMR比が10¹¹(H=0とH=6テスラの比)もの大きさになる。

【0008】また、本発明と技術分野の類似する他の従来例として、特開平10-255481号公報がある。本従来例は、バルクのペロブスカイト型Mn酸化物($Pr_{0.7}Ca_{0.3}MnO_3$)に電圧を印加することにより誘起される電荷整列相転移を、メモリに応用しようとしたものである。

【0009】

【発明が解決しようとする課題】しかしながら、上記の従来技術では、ペロブスカイト型Mn酸化物において大きなMR比を得る場合には、大きな外部磁場を印加する必要がある。また、上記従来の特開平10-255481号公報では、高抵抗状態と低抵抗状態を実現するだけで、メモリデバイスとしての機能は果たしていない問題を伴う。

【0010】本発明は、磁場以外の他の制動によって電荷整列相転移を誘起させこれをメモリデバイスに用いた電荷注入型スピントランジスタを提供することを目的とする。より詳細には、本発明は、ペロブスカイト型Mn酸化物層にソース、ドレイン電極を設け、さらに上記電荷整列相転移を誘起させるためにペロブスカイト型Mn酸化物層上に絶縁層を介してゲート電極を有し、ゲート電極に電圧を印加することにより、ペロブスカイト型Mn酸化物層内のキャリア(ホール)密度を制御する電荷注入型スピントランジスタを提供することを目的とする。

【0011】

【課題を解決するための手段】かかる目的を達成するため、請求項1記載の発明の電荷注入型スピントランジスタは、基体上に設けられた電荷整列相転移効果を持つ酸化物層、並びにソース電極、ドレイン電極と、ソース電極、ドレイン電極とゲート電極間に形成されたこのゲート電極から電荷を注入する酸化物層とを有して構成されたことを特徴としている。

【0012】請求項2記載の発明では、請求項1記載の電荷注入型スピントランジスタにおいて、電荷整列相転移効果を持つ酸化物層は、 MnO_3 を母体とするMn系ペロブスカイト酸化物であるとよい。

【0013】請求項3記載の発明では、請求項2記載の電荷注入型スピントランジスタにおいて、Mn系ペロブスカイト酸化物は、 $Pr_{1-x}Ca_xMnO_3$ なる構造を有したCaを添加した Pr_xCaMnO_3 であるとするとよい。

【0014】請求項4記載の発明では、請求項1に記載の電荷注入型スピントランジスタにおいて、前記Mn系ペロブスカイト酸化物は、 $Nd_{1-x}Sr_xMnO_3$ なる構造を有したSrを添加した Nd_xSrMnO_3 であるとするとよい。

【0015】請求項5記載の発明では、請求項1乃至4の何れかに記載の電荷注入型スピントランジスタにおいて、前記基体は $SrTiO_3$ 単結晶であるとするとよ

い。

【0016】請求項6記載の発明では、請求項1乃至4の何れかに記載の電荷注入型スピントランジスタにおいて、前記基体が表面に熱酸化シリコンを有するシリコンであるとするよ。

【0017】請求項7記載の発明では、請求項1乃至4の何れかに記載の電荷注入型スピントランジスタにおいて、前記基体がMgO単結晶であるとするよ。

【0018】

【発明の実施の形態】次に、添付図面を参照して本発明による電荷注入型スピントランジスタの実施の形態を詳細に説明する。図1～図7を参照すると、本発明の電荷注入型スピントランジスタの一実施形態が示されている。

【0019】図1は、本発明を適用可能な電荷注入型スピントランジスタの基本構成を示す模式図である。同図1において、本実施形態の電荷注入型スピントランジスタは、基体11、ペロブスカイト型Mn酸化物層12、ソース電極13、ドレイン電極14、絶縁層15、ゲート電極16とを有して構成される。

【0020】基体11は、積層するペロブスカイト型Mn酸化物層12の格子定数に近い格子定数をもつ物質を用いて構成される。絶縁層15は、上記ゲート電極16とペロブスカイト型Mn酸化物層12との間の絶縁をとるための層である。ゲート電極16は、上記ペロブスカイト型Mn酸化物層12の電荷整列相転移を誘起させるために電荷を注入するための電極である。

【0021】次に、本発明のスピントランジスタの動作を図2に基づいて説明する。図2は、本発明の電荷注入型スピントランジスタの書き込み時、メモリ時、消去時の状態を模式的に表した図である。尚図2中の各構成部は、ペロブスカイト型Mn酸化物層22、上記ペロブスカイト型Mn酸化物層に電荷を注入・引き抜きが行われ相転移が起こる部分221、ソース電極23、ドレイン電極24、上記ペロブスカイト型Mn酸化物層22の電荷整列相転移を誘起させるために電荷を注入するゲート電極26、上記ゲート電極26とペロブスカイト型Mn酸化物層22との間の絶縁をとるための絶縁層25である。

【0022】また図3は、図2における各状態に対応するソースードレイン間の導電率を示している。図3において、符号aはゲート電極に負の電位を印加した状態で図2(a)に相当し、図2の部分221が強磁性金属層に層転移し低抵抗状態になっており、書き込みが行われている状態を表す。図2(b)はゲート電極に符号aの場合と逆の極性の電位を印加した状態であり、図3においては符号bに相当し、図2の部分221が常磁性絶縁体層に層転移し高抵抗状態になっており、消去が行われている状態を表す。図2(c)は図3において符号aのゲート電極から符号bのゲート電位に電位を減少させた

途中の状態であり、図3の符号cに相当し低抵抗状態を保持している状態を表す。図2(d)は図3における符号bのゲート電位から符号aのゲート電位に電位を増加させている途中の状態であり、図3における符号dに相当し、高抵抗抵抗状態を保持している状態を表す。図3から明らかのように、以上説明した符号aから符号dまでの状態を経ることで、ソースドレイン間の抵抗(導電率)はヒステリシスを描くことになり、メモリ素子を実現できる。

【0023】

【実施例】以下に本発明の電荷注入型スピントランジスタの実施例を示し、本発明を詳しく説明する。

【0024】(実施例1) 図4に、本発明の電荷注入型スピントランジスタにおける一つの実施形態の模式図を示す。図4において本実施形態の電荷注入型スピントランジスタは、チタン酸ストロンチウム(SrTiO₃:STOと略記する)単結晶基板により構成される基体4 1 Pr_{1-x}Ca_xMnO₃により構成されるペロブスカイト型Mn酸化物層4 2、Pt電極であるソース電極4 3、Pt電極であるドレイン電極4 4、上記ゲート電極4 6とペロブスカイト型Mn酸化物層4 2との間の絶縁をとるためのSiO₂である絶縁層4 5、上記ペロブスカイト型Mn酸化物層4 2の電荷整列相転移を誘起させるために電荷を注入するためのPt電極であるゲート電極4 6、を有して構成される。

【0025】次に本発明の電荷注入型スピントランジスタの作製方法について図5を用いて説明する。

【0026】工程(1)；基体5 1として上記に述べたSTO単結晶基板を用い、これを充分洗浄しておく。工程(2)；該基板5 1上にPr-Ca-Mnゾル溶液をスピントランジスタのゲート電極として上記の工程(1)と同様に形成する。次に大気中250°Cで30分焼成し脱有機・脱水を行った後、大気中1000°Cで3時間焼成しPr_{1-x}Ca_xMnO₃薄膜を700Å形成する。

工程(3)；工程(2)の操作を3回繰り返してPr_{1-x}Ca_xMnO₃薄膜5 2を約2000Å形成する。

工程(4)；上記Pr_{1-x}Ca_xMnO₃薄膜上に、白金ソース電極5 3を1000Å、白金ドレイン電極5 4を1000Åスパッタ法にて作製する。尚、各白金電極のこのPr_{1-x}Ca_xMnO₃薄膜に対する密着性を向上させるため、白金の下地としてTiを50Åあらかじめスパッタしておく。

工程(5)；上記Pr_{1-x}Ca_xMnO₃薄膜を挟む白金ソース電極5 3、白金ドレイン電極5 4間に反応性スパッタ法を用いて、絶縁層としてSiO₂を1000Åスパッタする。

工程(6)；最後に上記絶縁層上にゲート電極として白金を1000Åスパッタ成膜して、デバイスを完成させる。

【0027】尚、上記工程(2)に用いたゾルゲル溶液の調整法を図6をもとに説明する。

【0028】まず、Pr、Caに対してそれぞれPrアルコキシド、Caアルコキシドを、またMnに対してMnカルボン酸塩を選ぶ。ここで好ましくはアルコキシドはメトキシド、エトキシド、イソプロポキシド、n-ブロボキシド、n-ブタキシド、sec-ブタキシド、tert-ブタキシドが良好な結果を与える。これらの金属原料を所望の組成比が得られるよう秤量する。

【0029】次に前記の金属原料を有機溶媒中に溶解させるが、この有機溶媒としてはアルコール、アルコキシドアルコール等を用いることができる。好ましくはアルコールはメタノール、エタノール、イソプロパノール(IPAと略記)、n-ブロパノール、n-ブタノール、sec-ブタノール、tert-ブタノール、アルコキシドアルコールは2-メトキシエタノール、2-エトキシエタノール、2-ブロボキシエタノール、2-ブタキシエタノール、1-メトキシ-2-ブロパノールが良好な結果を与える。またトルエン、キシレンも良好な結果を与える。

【0030】具体的には以下の手順によりゾルゲル溶液を調整する。まず、Prアルコキシド、Caアルコキシドをアルコール、アルコキシアルコールのいずれか、あるいはその両方に溶解させた溶液を溶液1とし(図6ではIPAを例としている)、Mnカルボン酸塩をアルコール、アルコキシアルコールのいずれか、あるいはその両方に溶解させた溶液を溶液2とする。次に溶液1と溶液2を混合した溶液を80~130°Cで還流し、Pr-Ca-Mnゾルゲル溶液を得る。

【0031】このようにして得られたスピントランジスタのゲート電極電圧とソースドレイン間の抵抗率の関係を測定したところ、図7のようになり、トランジスタとしての特性を確認した。

【0032】(実施例2)実施例1の図5の工程

(2)、工程(3)においてゾルゲル法の代わりにレーザーアブレーション法を用い、その他は実施例1と同一の工程で本発明のスピントランジスタを作製した。

【0033】表1に本実施例2に用いたレーザーアブレーションの条件を示す。尚、ターゲットは以下のように作製した。即ち、Pr_{6.0}O₁₁とCaCO₃およびMn₃O₄の各粉末を、Pr:Ca:Mnの原子比が、0.7:0.3:1になる割合で秤量し、これにエタノールを加えて、めのう乳鉢で40分かき混ぜた。そして前記混合物を大気中にて1000°Cで24時間焼成し、粉碎した後再び混合し更にもう一度焼成し、粉碎混合した。得られた粉末混合物を1ton/cm²でプレスし、大気中にて1100°Cで48時間加熱し焼成してターゲットを作製した。

【0034】

【表1】

基板温度	780°C
酸素分圧	400mTorr
ターゲット上でのレーザエネルギー密度	2 J/cm ²
基板間距離	8cm
堆積速度	0.25 Å/pulse
レーザのパルス周期	8Hz
レーザ波長	248nm
パルスあたりの最大エネルギー	1.5 J
パルス幅	20ns
膜厚	2000 Å

このようにして得られたスピントランジスタのゲート電極電圧とソースドレイン間の抵抗率の関係を測定したところ、実施例1と同様な特性が得られた。

【0035】(実施例3) 本実施例3では、実施例1の $Pr_{1-x}Ca_xMnO_3$ 薄膜のかわりに $Nd_{0.5}Sr_{0.5}MnO_3$ 薄膜を用いたところ、温度50Kにおいて実施例1と同様なヒステリシスが得られた。

【0036】尚、上述の実施形態は、本発明の好適な実施の一例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。

【0037】

【発明の効果】以上説明したように、本発明によれば、ペロブスカイト型Mn酸化物層にソース、ドレイン電極を設け、さらに上記電荷整列相転移を誘起させるために上記ペロブスカイト型Mn酸化物層上に絶縁層を介してゲート電極を有する構造実現している。このことで、磁場以外の他の制動によって電荷整列相転移を誘起させ、これをメモリデバイスに用いることが可能となる。

【図面の簡単な説明】

【図1】本発明の電荷注入型スピントランジスタの構成

を説明する模式図である。

【図2】本発明における電荷注入型スピントランジスタの動作原理説明するモデル図である。

【図3】本発明における電荷注入型スピントランジスタのヒステリシスを示す図である。

【図4】本発明の電荷注入型スピントランジスタの実施例の一例である。

【図5】本発明の電荷注入型スピントランジスタの作製工程図である。

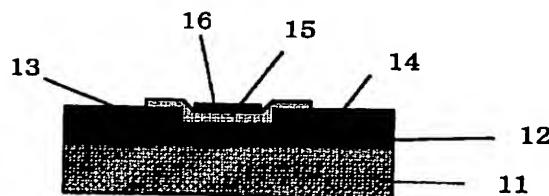
【図6】本発明に用いるソルゲル溶液の調整工程図である。

【図7】本発明の電荷注入型スピントランジスタのゲート電圧とソースドレイン間の抵抗率の関係を示す図である。

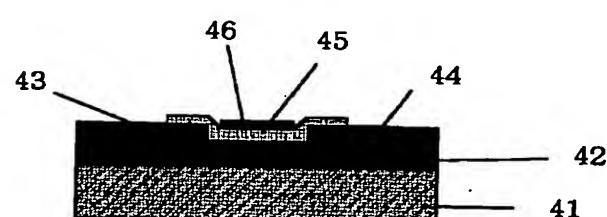
【符号の説明】

- 11, 41, 51, : 基体 (STO)
- 12, 31, 42, 52 : ペロブスカイトMn酸化物層
- 13, 43, 53 : ソース電極
- 14, 44, 54 : ドレイン電極
- 15, 32, 45, 55 : 絶縁層
- 16, 33, 46, 56 : ゲート電極

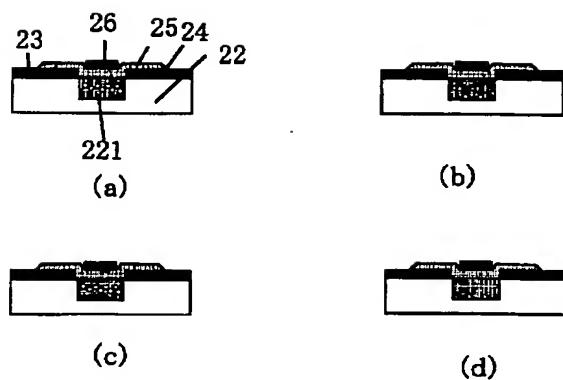
【図1】



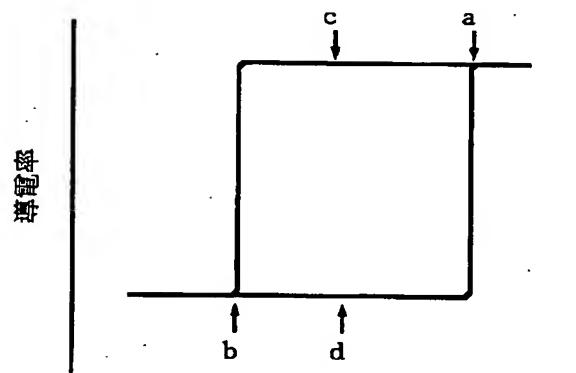
【図4】



【図2】

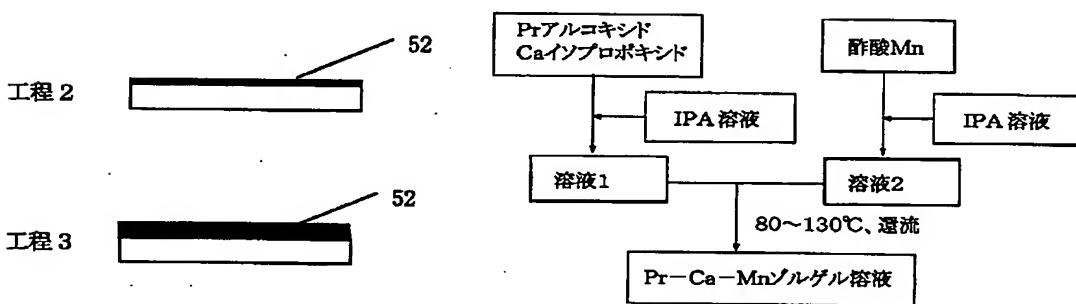


【図3】

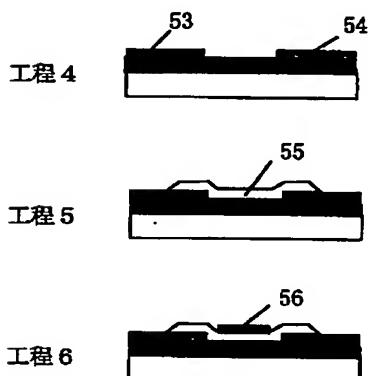


【図5】

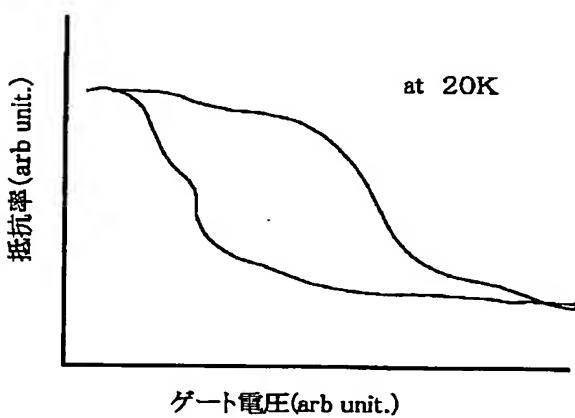
工程1 51



【図6】



【図7】



フロントページの続き

(72) 発明者 寺本 洋二
東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

Fターム(参考) 5F058 BA11 BB06 BD01 BD04 BD05
BF12 BF46 BH01 BJ01
5F083 FZ10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.